

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-273631

(43)Date of publication of application : 20.10.1995

(51)Int.Cl.

H03K 19/0175

H03K 17/16

H03K 17/687

(21)Application number : 06-058384

(71)Applicant : OKI MICRO DESIGN MIYAZAKI:KK  
OKI ELECTRIC IND CO LTD

(22)Date of filing : 29.03.1994

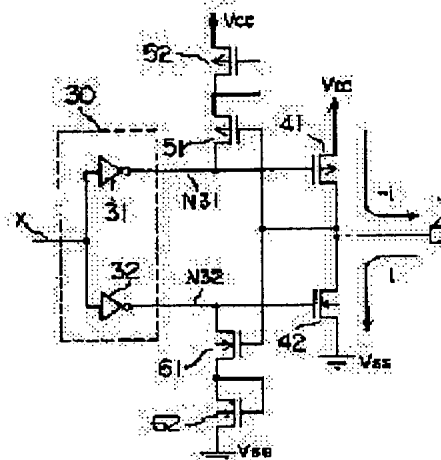
(72)Inventor : NIMORI NOBUAKI  
SATO MASAOKI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

PURPOSE: To reduce the noise generated at switching of an output circuit provided in the semiconductor integrated circuit.

CONSTITUTION: When a signal is given to an input terminal X, output PMOS 41, NMOS 42 are switched by a driver 30. Gates of PMOS 51, NMOS 61 are controlled by a voltage at an output terminal Y, and nodes N31, N32 are feedback-controlled by a voltage at the output terminal Y. Thus, the resistance of the PMOS 41 and the NMOS 42 is increased only at the start of switching without losing current drive capability in a stable state of DC. Thus, a large current flowing transiently through the PMOS 41 or the NMOS 42 is limited and the noise by this current is reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision of  
rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-273631

(43) 公開日 平成7年(1995)10月20日

(51) Int. Cl.<sup>6</sup>

H 0 3 K 19/0175  
17/16  
17/687

識別記号

庁内整理番号

F I

技術表示箇所

H 9184-5 J

9473-5 J

H 0 3 K 19/ 00

1 0 1 F

17/ 687

F

審査請求 未請求 請求項の数4 O L (全 8 頁)

(21) 出願番号

特願平6-58384

(22) 出願日

平成6年(1994)3月29日

(71) 出願人

591049893

株式会社神マイクロデザイン宮崎  
宮崎県宮崎市大和町9番2号

(71) 出願人

000000295

沖電気工業株式会社  
東京都港区虎ノ門1丁目7番12号

(72) 発明者

新森 信明

宮崎県宮崎市大和町9番2号 株式会社神  
マイクロデザイン宮崎内

(72) 発明者

佐藤 正明

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(74) 代理人

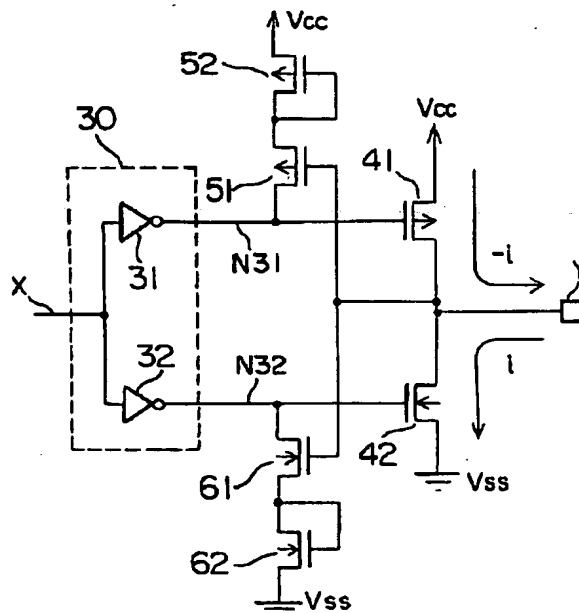
弁理士 柿本 義成

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 半導体集積回路内に設けられる出力回路のスイッチング時に発生するノイズを低減する。

【構成】 入力端子Xに信号が入力されると、ドライバ30によって出力用PMOS41及びNMOS42がオン、オフ動作する。出力端子Yの電圧によってPMOS51及びNMOS61のゲート制御が行われ、該出力端子Yの電圧によってノードN31、N32がフィードバック制御される。そのため、直流安定時の電流駆動能力を損なうことなく、PMOS41及びNMOS42の抵抗値をそのスイッチングの開始時にのみ大きくできる。従って、PMOS41あるいはNMOS42に過渡的に流れる大電流を制限し、この電流によるノイズを低減できる。



第1の実施例の出力回路

## 【特許請求の範囲】

【請求項1】 ソースが電源電位に、ドレインが負荷接続用の出力端子にそれぞれ接続された出力用MOSトランジスタを有する出力回路を備え、内部の信号に基づき前記出力用MOSトランジスタのゲートを制御してその内部の信号に対応する出力信号を前記出力端子へ出力する半導体集積回路において、前記出力用MOSトランジスタと同チャンネル型で、かつソースが前記電源電位に、ドレインが該出力用MOSトランジスタのゲートに、ゲートが前記出力端子にそれぞれ接続された制御用MOSトランジスタを、設けたことを特徴とする半導体集積回路。

【請求項2】 請求項1の制御用MOSトランジスタのソースを、該制御用MOSトランジスタと同チャンネル型でかつドレインとゲートが共通接続されたクランプ用MOSトランジスタを介して、請求項1の電源電位に接続したことを特徴とする半導体集積回路。

【請求項3】 ソースが第1の電源電位に、ドレインが負荷接続用の出力端子にそれぞれ接続された第1チャンネル型の第1の出力用MOSトランジスタと、ソースが第2の電源電位に、ドレインが前記出力端子にそれぞれ接続された第2チャンネル型の第2の出力用MOSトランジスタとを有する出力回路を備え、内部の信号に基づき前記第1及び第2の出力用MOSトランジスタの各ゲートを制御してその内部の信号に対応する出力信号を前記出力端子へ出力する半導体集積回路において、ソースが前記第1の電源電位に、ドレインが前記第1の出力用MOSトランジスタのゲートに、ゲートが前記出力端子にそれぞれ接続された第1チャンネル型の第1の制御用MOSトランジスタと、ソースが前記第2の電源電位に、ドレインが前記第2の出力用MOSトランジスタのゲートに、ゲートが前記出力端子にそれぞれ接続された第2チャンネル型の第2の制御用MOSトランジスタとを、設けたことを特徴とする半導体集積回路。

【請求項4】 請求項3の第1の制御用MOSトランジスタのソースを、ドレインとゲートが共通接続された第1チャンネル型の第1のクランプ用MOSトランジスタを介して、請求項3の第1の電源電位に接続し、請求項3の第2の制御用MOSトランジスタのソースを、ドレインとゲートが共通接続された第2チャンネル型の第2のクランプ用MOSトランジスタを介して、請求項3の第2の電源電位に接続したことを特徴とする半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、出力回路を有するMOS型等の半導体集積回路、特にスイッチング時に発生する急激な大電流や、それによるノイズに対して対策を施

した出力回路に関するものである。

## 【0002】

【従来の技術】図2は、従来のMOS型半導体集積回路内に設けられる出力回路の回路図である。この出力回路は、半導体集積回路内部の信号を外部に伝達する回路であり、該半導体集積回路内部の信号を入力する入力端子Xを有し、それには信号入力用のドライバ10が接続されている。ドライバ10は、2個のインバータ11、12で構成され、それらの出力側ノード（接点）N11、N12に、外部に接続される負荷を駆動するための出力用のPチャンネル型MOSトランジスタ（以下、PMOSという）21のゲート及びNチャンネル型MOSトランジスタ（以下、NMOSという）22のゲートがそれぞれ接続されている。PMOS21のソースは高電位の電源電位VCCに接続され、そのドレインが出力端子Yに接続されている。出力端子Yは、外部に負荷が接続される端子であり、それにはNMOS22のドレインが接続され、さらにそのNMOS22のソースが接地電位VSSに接続されている。出力用のPMOS21は、電源電位VCC側から出力端子Yへ流出電流 $-i$ を流すトランジスタであり、またNMOS22は出力端子Yから接地電位VSS側に流入電流 $i$ を流すトランジスタである。図3は、図2に示す出力回路の電圧電流波形図である。半導体集積回路内で処理された信号は、処理結果を外部に伝達するために入力端子Xに入力され、ドライバ10内のインバータ11、12で反転される。インバータ11、12で反転された信号は、それらの出力側ノードN11、N12を介して、外部負荷を駆動するための出力用のPMOS21のゲート及びNMOS22のゲートへそれぞれ送られる。すると、PMOS21またはNMOS22がオン、オフ動作し、出力端子Yに接続された負荷を駆動する。例えば、入力端子Xに入力される信号が“H”レベルの時、それがインバータ11、12で反転されてそれらの出力側ノードN11、N12が“L”レベルになる。ノードN11、N12が“L”レベルになると、PMOS21がオンすると共にNMOS22がオフする。すると、電源電位VCC側から出力端子Yへ流出電流 $-i$ が流れる。また、入力端子Xに入力される信号が“L”レベルの時、それがインバータ11、12で反転されてそれらの出力側ノードN11、N12が“H”レベルになる。ノードN11、N12が“H”レベルになると、PMOS21がオフすると共にNMOS22がオンし、該NMOS22を通して出力端子Yから接地電位VSS側へ流入電流 $i$ が流れる。

## 【0003】

【発明が解決しようとする課題】半導体集積回路が高速化するにつれ、その出力回路のスピードアップも求められている。そこで、従来の図2に示す出力回路では、外部の負荷を高速で駆動するために出力用PMOS21及びNMOS22のトランジスタサイズを大きくしてそれ

らのオン抵抗を低抵抗値に設定し、容量性負荷への充電や放電を大電流で行うことにより、高速化を実現している。ところが、負荷へ、または負荷から出力用PMOS 21及びNMOS 22に流れる充放電電流が大きいと、次のような問題が生じる。図3の電圧電流波形図に示すように、出力端子Yが“H”レベルから“L”レベルに変化する時、負荷からの流入電流（放電電流） $i$ は該負荷からNMOS 22を経て接地電位VSS側へ流れる。また、出力端子Yが“L”レベルから“H”レベルに変化する時、負荷への流出電流（充電電流） $-i$ は電源電位VCC側からPMOS 21を経て負荷へ流れる。これらの電流 $i$ 、 $-i$ により、電源電位VCC側あるいは接地電位VSS側に、または出力自身にノイズが発生する。このノイズは、半導体集積回路内の電源ライン、接地ラインの抵抗、ボンディング線とインナーリードの抵抗とインダクタンス等が原因となって起きる。このノイズは、出力端子Yに接続される外部回路のみならず、半導体集積回路内にも悪影響を及ぼす。例えば、半導体集積回路内にラッチ入力回路、ラッチ回路、及びフリップフロップ回路等が設けられている時、そのラッチ入力回路にノイズがのって該ラッチ回路に誤データを入力させたり、あるいは該フリップフロップ回路を反転させるおそれがある。さらに、出力用PMOS 21及びNMOS 22のスイッチング時に発生する電磁ノイズも問題となる。出力端子Yから出力される出力電圧の立上がりや立下がり特性が急峻であればあるほど、高調波成分を多く含んだノイズが発生することになる。この電磁ノイズは、外部のラジオ等の通信機器に電磁障害を引き起こす原因になる。本発明は、前記従来技術が持っていた課題として、従来の出力回路では外部の負荷を高速で駆動するために出力用トランジスタサイズを大きくして低抵抗値に設定しているため、そのスイッチング時に大電流が流れてノイズが発生するという点について解決し、スイッチング時に出力回路から発生するノイズを低減した半導体集積回路を提供するものである。

#### 【0004】

【課題を解決するための手段】第1の発明では、前記課題を解決するために、ソースが電源電位（例えば、VCCまたはVSS等）に、ドレインが負荷接続用の出力端子にそれぞれ接続された出力用MOSTランジスタを有する出力回路を備え、内部の信号に基づき前記出力用MOSTランジスタのゲートを制御してその内部の信号に対応する出力信号を前記出力端子へ出力するMOS型等の半導体集積回路において、制御用MOSTランジスタを設けている。この制御用MOSTランジスタは、前記出力用MOSTランジスタと同チャンネル型で、かつソースが前記電源電位に、ドレインが該出力用MOSTランジスタのゲートに、ゲートが前記出力端子にそれぞれ接続されている。第2の発明では、第1の発明の制御用MOSTランジスタのソースを、該制御用MOSTラン

ジスタと同チャンネル型でかつドレインとゲートが共通接続されたクランプ用MOSTランジスタを介して、第1の発明の電源電位に接続している。第3の発明では、ソースが第1の電源電位（例えば、VCC等）に、ドレインが負荷接続用の出力端子にそれぞれ接続された第1チャンネル型（例えば、P型等）の第1の出力用MOSTランジスタと、ソースが第2の電源電位（例えば、VSS等）に、ドレインが前記出力端子にそれぞれ接続された第2チャンネル型（例えば、N型等）の第2の出力用MOSTランジスタとを有する出力回路を備え、内部の信号に基づき前記第1及び第2の出力用MOSTランジスタの各ゲートを制御してその内部の信号に対応する出力信号を前記出力端子へ出力する半導体集積回路において、第1チャンネル型の第1の制御用MOSTランジスタと第2チャンネル型の第2の制御用MOSTランジスタとを設けている。ここで、第1の制御用MOSTランジスタは、ソースが前記第1の電源電位に、ドレインが前記第1の出力用MOSTランジスタのゲートに、ゲートが前記出力端子にそれぞれ接続されている。また、第2の制御用MOSTランジスタは、ソースが前記第2の電源電位に、ドレインが前記第2の出力用MOSTランジスタのゲートに、ゲートが前記出力端子にそれぞれ接続されている。第4の発明では、第3の発明の第1の制御用MOSTランジスタのソースを、ドレインとゲートが共通接続された第1チャンネル型の第1のクランプ用MOSTランジスタを介して、第3の発明の第1の電源電位に接続している。さらに、第3の発明の第2の制御用MOSTランジスタのソースを、ドレインとゲートが共通接続された第2チャンネル型の第2のクランプ用MOSTランジスタを介して、第3の発明の第2の電源電位に接続している。

#### 【0005】

【作用】第1の発明によれば、以上のように出力回路を有する半導体集積回路を構成したので、出力端子の電圧によって制御用MOSTランジスタがゲート制御され、外部の負荷を駆動する出力用MOSTランジスタのゲートにかかる信号電圧がフィードバック制御される。これにより、出力用MOSTランジスタのスイッチングの開始時のみ、該MOSTランジスタの抵抗値が大きくなり、過渡的に流れる大電流が制限される。第2の発明によれば、出力用MOSTランジスタをオンさせる時、該出力用MOSTランジスタのゲート電圧が、例えばクランプ用MOSTランジスタのスレショルド電圧以下にならないように該クランプ用MOSTランジスタでクランプされる。第3の発明によれば、出力端子の電圧によって第1及び第2の制御用MOSTランジスタのゲート制御が行われ、外部の負荷を駆動する第1及び第2の出力用MOSTランジスタのゲートにかかる信号電圧が、フィードバックされる。これにより、第1及び第2の出力用MOSTランジスタのスイッチングの開始時のみ

該トランジスタの抵抗値が大きくなり、過渡的に流れる大電流が制限される。第4の発明によれば、第1、第2の出力用MOSトランジスタがオンする時、それらのMOSトランジスタのゲート電圧が、例えば第1、第2のクランプ用MOSトランジスタのスレショールド電圧以下にならないように該第1、第2のクランプ用MOSトランジスタでクランプされる。従って、前記課題を解決できるのである。

【0006】

【実施例】

第1の実施例

図1は、本発明の第1の実施例を示すMOS型半導体集積回路内に設けられる出力回路の回路図である。この出力回路は、半導体集積回路内部の信号を外部に伝達する回路であり、その内部の信号を入力する入力端子Xを有し、それには出力用トランジスタのゲートを駆動するための信号入力用ドライバ30が接続されている。ドライバ30は、入力端子Xの信号を反転する2個のインバータ31、32で構成されている。インバータ31、32の出力側ノードN31、N32には、外部の負荷を駆動するための出力用のPMOS41のゲート及びNMOS42のゲートがそれぞれ接続されている。PMOS41のソースは電源電位VCCに接続され、さらにそのドレインが外部負荷接続用の出力端子Yに接続されている。このPMOS41は、電源電位VCC側から出力端子Yへ流出電流*i*を流すトランジスタである。出力端子YにはNMOS42のドレインが接続され、そのNMOS42のソースが接地電位VSSに接続されている。このNMOS42は、出力端子Yから接地電位VSS側へ流入電流*i*を流すトランジスタである。ノードN31には、PMOS41のゲート電位を制御する制御用のPMOS51のドレインが接続され、そのPMOS51のゲートが出力端子Yに接続されている。PMOS51のソースには、クランプ用のPMOS52のドレイン及びゲートが接続され、そのPMOS52のソースが電源電位VCCに接続されている。また、ノードN32には、NMOS42のゲート電位を制御する制御用のNMOS61のドレインが接続され、そのNMOS61のゲートが出力端子Yに接続されている。NMOS61のソースには、クランプ用のNMOS62のドレイン及びゲートが接続され、そのNMOS62のソースが接地電位VSSに接続されている。

【0007】図4は図1に示す出力回路の電圧電流波形図であり、この図を参照しつつ図1の出力回路の動作(1)、(2)、(3)を説明する。

(1) 入力端子Xに“H”レベルが伝達されている場合

入力端子Xに“H”レベルが入力されると、それがインバータ31、32で反転されてそれらの出力側ノードN31、N32が“L”レベルとなる。ノードN31、N

32が“L”レベルになると、PMOS41がオン、NMOS42がオフし、該PMOS41を通して電源電位VCC側から出力端子Yへ流出電流*i*が流れ、該出力端子Yが“H”レベルになる。

(2) 入力端子Xの電位が“H”レベルから“L”レベルに変化する場合

入力端子Xの電位が“H”レベルから“L”レベルに変化する時、インバータ31の出力側ノードN31の動作をみると、次のようになる。即ち、ゲートが出力端子Yに接続されたPMOS51はオフしている。そして、PMOS51、52の影響を受けずに、ノードN31を駆動しているインバータ31により、即“L”レベルから“H”レベルになる。そのため、出力を駆動するPMOS41は、直ちにオフになる。一方、インバータ32の出力側ノードN32の動作をみると、該ノードN32を駆動しているインバータ32により、“L”レベルから“H”レベルに立上がろうとする。しかし、この変化の初期では出力端子Yのレベルがまだ“H”レベルのため、NMOS61がオンしており、NMOS62のスレショールド電圧V<sub>th</sub>で一時クランプされる。負荷を駆動するNMOS42は弱くオンし、急激な電流(*i*)の流入が抑えられる。ところが、負荷を駆動するNMOS42はオンしているので、出力端子Yの電圧レベルが徐々に下がってくる。出力端子Yの電圧が下がってくると、NMOS61のゲート電圧が下がってくることになり、該NMOS61のオン抵抗が上がることになる。そのため、ノードN32の電位は該ノードN32を駆動しているインバータ32により、“H”レベルに引上げられて徐々に上がってくる。すると、NMOS42のオン抵抗がますます下がり、出力端子Yの電圧が接地電位VSSに近づいていく。その後、出力端子Yの電圧が接地電位VSSになれば、NMOS61が完全にオフし、ノードN32の電位が完全に“H”レベルになる。従って、負荷を駆動するNMOS42が完全にオン状態になり、低抵抗で負荷を駆動できることになる。

【0008】(3) 入力端子Xが“L”レベルから“H”レベルに変化する場合

入力端子Xが“L”レベルから“H”レベルに変化する時は、前記(2)と全く逆の動作となる。即ち、ノードN32の動作をみると、ゲートが出力端子Yに接続されているNMOS61がオフしている。そして、NMOS61、62の影響を受けずに、ノードN32を駆動しているインバータ32により、即“H”レベルから“L”レベルになる。そのため、負荷を駆動するNMOS42が直ちにオフ状態になる。一方、インバータ31の出力側ノードN31の動作をみると、該ノードN31を駆動しているインバータ31により、“H”レベルから“L”レベルに下がろうとする。しかし、その変化の初期では、出力端子Yのレベルがまだ“L”レベルのため、PMOS51がオンしており、PMOS52のスレ

しヨールド電圧 $V_{th}$ で一時クランプされる。負荷を駆動するPMOS41は弱くオンし、急激な電流(-i)の流出が抑えられる。ところが、負荷を駆動するPMOS41はオンしているので、出力端子Yの電圧レベルが徐々に上がってくる。出力端子Yの電圧が上がってくると、PMOS51のゲート電圧が上がってくることになり、該PMOS51のオン抵抗が上がることになる。そのため、ノードN31の電位は該ノードN31を駆動しているインバータ31により、“L”レベルに引下げられて徐々に下がってくる。PMOS41のオン抵抗がますます下がり、出力端子Yの電圧が電源電位VCCに近づいていく。出力端子Yの電圧が電源電位VCCになれば、PMOS51が完全にオフし、ノードN31の電位は完全に“L”レベルになる。従って、負荷を駆動するPMOS41が完全にオン状態になり、低抵抗で負荷を駆動できることになる。以上のように、この第1の実施例では、外部の負荷を駆動するPMOS41及びNMOS42のゲートにかかる信号電圧を、PMOS51、52及びNMOS61、62によって出力端子Yの電圧をフィードバックすることで制御するようにしている。そのため、直流安定時の電流駆動能力を損なうことなく、負荷を駆動するNMOS41及びPMOS42の抵抗値をそのスイッチングの開始時のみ大きくできるので、過渡的に流れる大電流を制限し、この電流によるノイズを低減できる利点がある。

#### 【0009】第2の実施例

図5は、本発明の第2の実施例を示すMOS型半導体集積回路内に設けられる出力回路の回路図であり、第1の実施例を示す図1中の要素と共通の要素には共通の符号が付されている。この出力回路は、第1の実施例のインバータ32、及びPMOS42、61、62のみで構成されている点が該第1の実施例の出力回路と異なっている。この構成では通常、外部の出力端子Yが、例えば図示しないプルアップ抵抗で高電位に吊上げられる。以下、この出力回路の動作(1)、(2)、(3)を説明する。

(1) 入力端子Xに“H”レベルの信号が伝達されている場合

入力端子Xに“H”レベルの信号が入力されると、それがインバータ32で反転されて該インバータ32の出力側ノードN32が“L”レベルとなり、出力用NMOS42がオフする。そのため、出力端子Yは、図示しないプルアップ抵抗を介して“H”レベルとなる。

(2) 入力端子Xが“H”レベルから“L”レベルに変化する場合

入力端子Xが“H”レベルから“L”レベルに変化すると、インバータ32の出力側ノードN32の電位が、完全な“L”レベル、即ちVSSレベルから“H”レベルに上がろうとする。しかし、その変化の初期では出力端子Yのレベルがまだ“H”レベルのため、NMOS42

がオンしており、NMOS62のスレショールド電圧 $V_{th}$ で一時クランプされる。ところが、負荷を駆動するNMOS42はオンしているので、出力端子Yの電圧レベルが徐々に下がってくる。出力端子Yの電圧が下がってくると、NMOS61のゲート電圧が下がることになり、該NMOS61のオン抵抗が上がることになる。そのため、ノードN32の電位はインバータ32の“H”レベルに引上げられ、徐々に上がってくる。NMOS42のオン抵抗がますます下がり、出力端子Yの電圧は接地電位VSSに近づいていく。出力端子Yの電圧が接地電位VSSになれば、NMOS61は完全にオフし、ノードN32の電位が完全に“H”レベルになる。従って、負荷を駆動するNMOS42は完全にオン状態になり、低抵抗で負荷を駆動できることになる。

【0010】(3) 入力端子Xが“L”レベルから“H”レベルに変化する場合

入力端子Xが“L”レベルから“H”レベルに変化すると、ノードN32の電位は“H”レベルから“L”レベルに変化する。しかしこの時、出力端子Yの電位がVSSレベルであるため、NMOS61がオフしている。そのため、NMOS61、62の影響はなく、ノードN32の電位が即“L”レベルに落ちる。ノードN32の電位が“L”レベルに落ちると、負荷を駆動するNMOS42は直ちにオフし、出力端子Yをハイインピーダンスにする。出力端子Yが図示しないプルアップ抵抗で高電位に吊上げられている場合、該出力端子Yは直ちに“H”レベルとなる。以上のように、この第2の実施例では、外部の負荷を駆動するNMOS42のゲートにかかる信号電圧を、NMOS61、62によって出力端子Yの電圧をフィードバックすることで制御するようにしたので、第1の実施例と同様に、直流安定時の電流駆動能力を損なうことなく、負荷を駆動するNMOS42の抵抗値をそのスイッチングの開始時のみ大きくできるので、過渡的に流れる大電流を制限し、この電流によるノイズを低減できる利点がある。しかも、この出力回路では、第1の実施例の出力回路よりも素子数が少ないので、回路構成が簡単になるという利点もある。

#### 【0011】第3の実施例

図6は、本発明の第3の実施例を示すMOS型半導体集積回路内に設けられる出力回路の回路図であり、第1の実施例を示す図1中の要素と共通の要素には共通の符号が付されている。この出力回路は、第1の実施例のインバータ31、及びPMOS41、51、52のみで構成されている点が該第1の実施例の出力回路と異なっている。通常、外部の出力端子Yは、図示しないプルダウン抵抗で接地電位VSSに吊下げられる。この出力回路では、第2の実施例のNMOS42、61、62をPMOS41、51、52に置換えた回路構成となっているので、その動作が該第2の実施例と相補的である。以下、この第3の実施例の動作(1)、(2)、(3)を説明

する。

(1) 入力端子Xに“L”レベルの信号が伝達されている場合

入力端子Xに“L”レベルの信号が伝達されている場合、インバータ31の出力側ノードN31が“H”レベルとなり、PMOS41がオフしている。そのため、出力端子Yは、図示しないプルダウン抵抗によって“L”レベルとなる。

(2) 入力端子Xが“L”レベルから“H”レベルに変化する場合

入力端子Xが“L”レベルから“H”レベルに変化すると、インバータ31の出力側ノードN31の電位が完全な“H”レベル、即ち“H”レベルからVSSレベルに下がろうとする。しかし、その変化の初期では、出力端子Yのレベルがまだ“L”レベルのため、PMOS51がオンしており、PMOS52のスレショルド電圧 $V_{th}$ で一時クランプされる。負荷を駆動するPMOS41は弱くオンし、急激な電流の流入が抑えられる。ところが、負荷を駆動するPMOS41はオンしているので、出力端子Yの電圧レベルが徐々に上がってくる。出力端子Yの電圧が上がってくると、PMOS51のゲート電圧が上がることになり、該PMOS51のオン抵抗が上がることになる。そのため、ノードN31の電位はインバータ31の“L”レベルに引下げられ、徐々に下がってくる。PMOS41のオン抵抗がますます下がり、出力端子Yの電圧は電源電位VCCに近づいていく。出力端子Yの電圧が電源電位VCCになれば、PMOS51は完全にオフし、ノードN31の電位が完全に“L”レベルになる。従って、負荷を駆動するPMOS41が完全にオン状態になり、低抵抗で負荷を駆動できることになる。

【0012】(3) 入力端子Xが“H”レベルから“L”レベルに変化する場合

入力端子Xが“H”レベルから“L”レベルに変化すると、インバータ31の出力側ノードN31の電位は“L”レベルから“H”レベルに変化する。しかし、この時は出力端子Yの電位がVCCレベルであるため、PMOS51がオフしている。そのため、PMOS51、52の影響はなく、ノードN31の電位が即“H”レベルになる。これにより、負荷を駆動するPMOS41は直ちにオフし、出力端子Yをハイインピーダンスにする。出力端子Yが図示しないプルダウン抵抗で接地電位VSSに吊下げられている場合、直ちに“L”レベルとなる。以上のように、この第3の実施例では、外部の負荷を駆動するPMOS41のゲートにかかる信号電圧を、PMOS51、52によって出力端子Yの電圧をフィードバックすることで制御するようにしたので、第2の実施例と同様に、直流安定時の電流駆動能力を損なうことなく、過渡的に流れる大電流を制限してノイズを低減でき、その上、素子数が少ないので、回路構成を簡単

化できるという利点がある。

【0013】なお、本発明は上記実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(a) 図1のドライバ30は、NANDゲート、NORゲート等の論理ゲート、あるいはその他のドライバ手段で構成してもよい。同様に、図5及び図6のインバータ31、32を論理ゲート等の他のドライバ手段で構成してもよい。

(b) 図1及び図6の出力回路において、PMOS52は、負荷を駆動するPMOS41をオンさせる時にノードN31の電圧を該PMOS52のスレショルド電圧 $V_{th}$ 以下にならないようにクランプするためのものである。そのため、インバータ31等のドライバ手段の出力オン抵抗とPMOS51のオン抵抗の比率を適切に設定すれば、PMOS52は必ずしも必要ない。PMOS52を省略した場合、回路構成をより簡単化できる。

(c) 図1及び図5の出力回路において、NMOS62は負荷を駆動するNMOS42をオンさせる時にノードN32の電圧を該NMOS62のスレショルド電圧 $V_{th}$ 以下にならないようにクランプするためのものである。そのため、インバータ32等のドライバ手段の出力オン抵抗とNMOS61のオン抵抗の比率を適切に設定すれば、NMOS62は必ずしも必要ない。NMOS62を省略した場合、回路構成をより簡単化できる。

(d) 図1、図5及び図6の出力回路において、PMOSをNMOSに、NMOSをPMOSに代え、それに応じて電源電位VCCを接地電位VSSに、接地電位VSSを電源電位VCCに代える等しても、上記実施例とほぼ同様の作用、効果が得られる。また、接地電位VSSを含む電源電位VCCを、他の一定電位に置換える等してもよい。例えば、図1及び図6の電源電位VCCを接地電位VSSに置換え、接地電位VSSを負の電位に置換えてもよい。同様に、図5の出力回路において、接地電位VSSを負の電位に置換えてもよい。

(e) 上記実施例ではMOS型半導体集積回路について説明したが、半導体集積回路の内部をバイポーラトランジスタや、あるいはバイポーラトランジスタと相補型MOSTランジスタ(CMOS)を組合せたBiCMOS等といった他のトランジスタ構成にしてもよい。

【0014】

【発明の効果】以上詳細に説明したように、第1の発明によれば、外部の負荷を駆動する出力用MOSTランジスタのゲートにかかる信号電圧を、制御用MOSTランジスタによって出力端子の電圧をフィードバックすることで制御するようにしたので、直流安定時の電流駆動能力を損なうことなく、該出力用MOSTランジスタの抵抗値をそのスイッチングの開始時にのみ大きくできる。そのため、過渡的に流れる大電流を制限し、この電流によるノイズを低減できる。第2の発明によれば、出力用

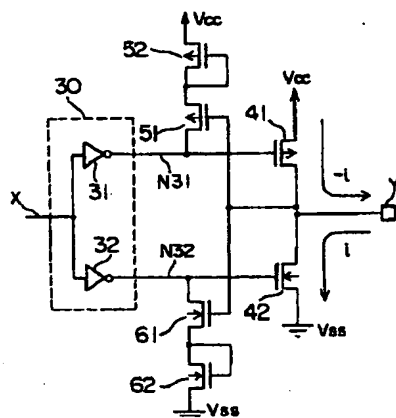


11

MOSTランジスタがオンする時に該出力用MOSTランジスタのゲート電圧をクランプ用MOSTランジスタでクランプするようにしたので、制御用MOSTランジスタを用いた出力端子の電圧の的確なフィードバック制御が行える。第3の発明によれば、外部の負荷を駆動する第1、第2の出力用MOSTランジスタのゲートにかかる信号電圧を、第1、第2の制御用MOSTランジスタによって出力端子の電圧をフィードバックすることで制御するようにしたので、第1の発明と同様に、直流安定時の電流駆動能力を損なうことなく、該第1、第2の出力用MOSTランジスタの抵抗値をそのスイッチングの開始時にのみ大きくできる。そのため、第1、第2の出力用MOSTランジスタに過渡的に流れる大電流を制限し、この電流によるノイズを低減できる。第4の発明によれば、第1、第2のクランプ用MOSTランジスタを設けたので、第1、第2の出力用MOSTランジスタをオンさせる時にそのゲート電圧を該第1、第2のクランプ用MOSTランジスタでクランプできる。そのため、第1、第2の制御用MOSTランジスタを用いた出力端子の電圧の的確なフィードバック制御が行える。

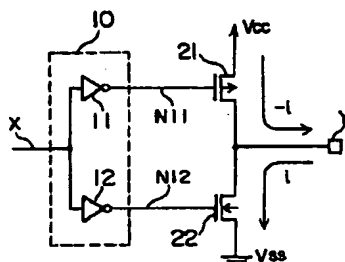
【図面の簡単な説明】

【図1】本発明の第1の実施例を示す半導体集積回路内



第1の実施例の出力回路

【図2】



従来の出力回路

【図3】

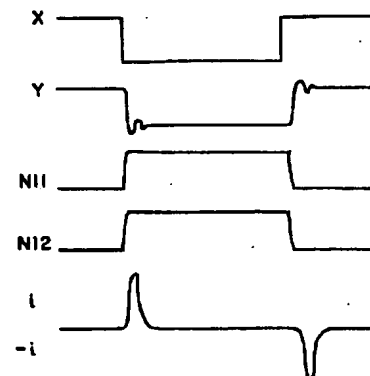
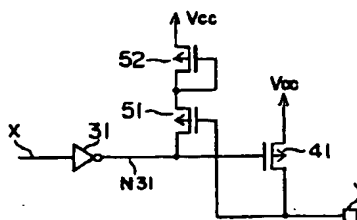


図2の電圧電流波形

【図6】



第3の実施例の出力回路

12

に設けられる出力回路の回路図である。

【図2】従来の半導体集積回路内に設けられる出力回路の回路図である。

【図3】図2の電圧電流波形図である。

【図4】図1の電圧電流波形図である。

【図5】本発明の第2の実施例を示す半導体集積回路内に設けられる出力回路の回路図である。

【図6】本発明の第3の実施例を示す半導体集積回路内に設けられる出力回路の回路図である。

【符号の説明】

30	ドライバ
31, 32	インバータ
41	出力用PMOS
42	出力用NMOS
51	制御用PMOS
52	クランプ用PMOS
61	制御用NMOS
62	クランプ用NMOS
VCC	電源電位
VSS	接地電位
X	入力端子
Y	出力端子

(8)

特開平7-273631

【図4】

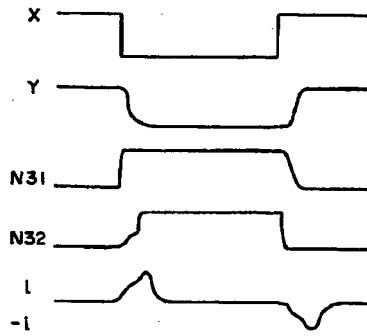
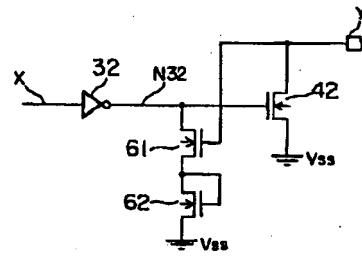


図1の電圧電流波形

【図5】



第2の実施例の出力回路